Ministerul Educației al Republicii Moldova

**Universitate de Stat “A. Russo”**

**Facultatea de Științe Reale, Economice si ale Mediului**

**Raport**

**“Arhitectura și organizarea calculatorului”**

**Lucrarea de laborator nr. 5**

**Registre**

**Student: Cozlov Alexei**

**Grupa: IS21Z**

**Цель работы:**

* Экспериментальное исследование параллельного, последовательного и

универсального регистров.

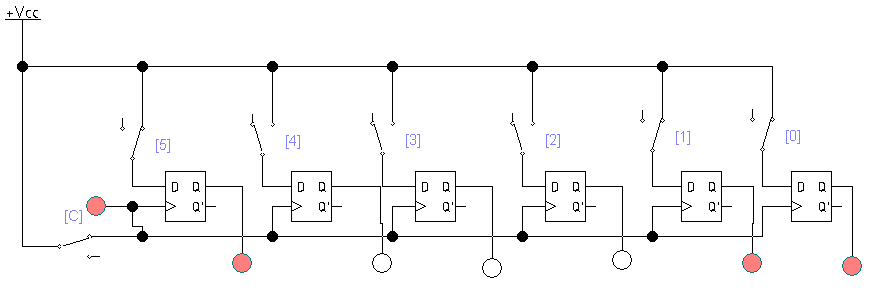
**Эксперимент № 1. Параллельный регистр шестого порядка.** 

Рис. 1. Схема параллельного регистра шестого порядка.

Таблица 1. Двоичные коды

|  |  |
| --- | --- |
| №  п/п | Двоичный код |
| 3 | 100011 |

Таблица 2. Состояния параллельного регистра шестого порядка

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № | Входы | | | | | | | Выходы | | | | | |
| C | 5 | 4 | 3 | 2 | 1 | 0 | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 1 |  | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |

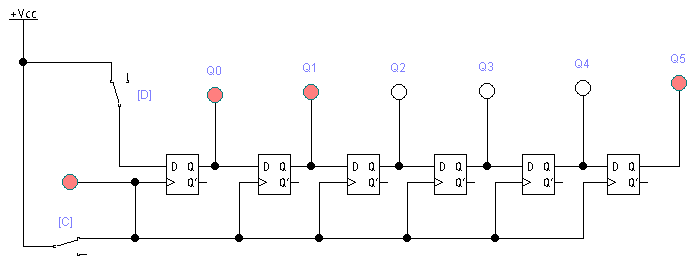
**Эксперимент № 2. Последовательный регистр прямого смещения шестого порядка.** 

Рис. 2. Схема подключения регистра прямого смещения шестого порядка.

Таблица 3. Состояния регистра прямого перемещения шестого порядка

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. п/п | Режим | Вход | | Выходы | | | | | |
| C | D | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 0 | Запись |  | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 |  | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 |  | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 |  | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 4 |  | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 5 |  | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 6 | Чтение |  | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 |  | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 8 |  | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 9 |  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 10 |  | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

**Эксперимент № 3. Циклический регистр прямого смещения**

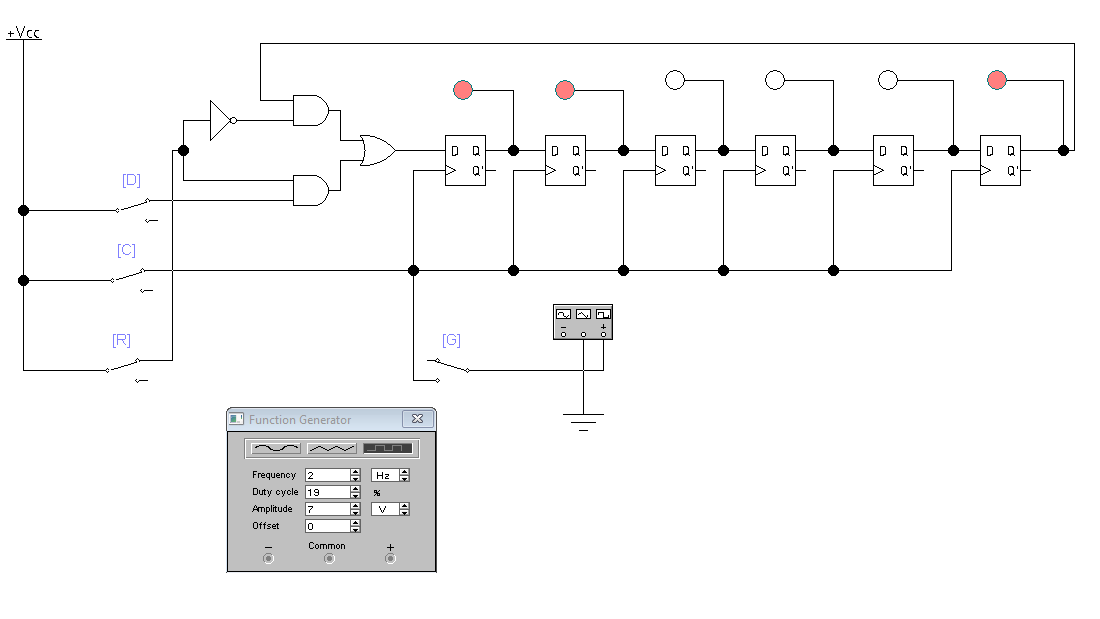


Рис. 3. Схема подключения циклического регистра прямого смещения.

При подключении генератора сигналов, наблюдается явление, когда в регистре происходит сдвиг битов от тригера высшего порядка к тригеру низшего порядка. Сдвиг происходит циклично, так как сигнальный вывод последнего тригера подается на тригер высшего порядка.

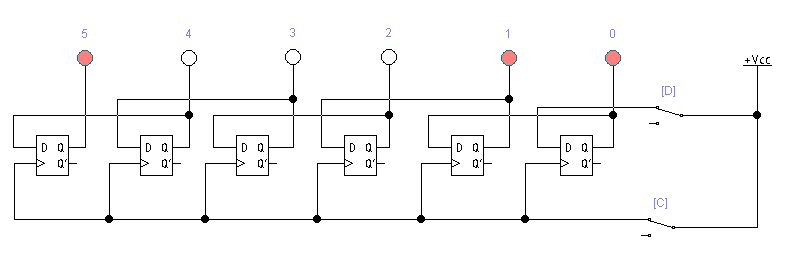
**Эксперимент № 4. Последовательный регистр шестого порядка с обратным смещением.** Рис. 4. Электрическая схема последовательного регистра шестого порядка с обратным смещением.

Таблица 4. Состояния регистра шестого порядка обратного смещения

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. п/п | Режим | Вход | | Выходы | | | | | |
| C | D | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 0 | Запись |  | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 |  | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 |  | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 |  | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 4 |  | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 5 |  | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 6 | Чтение |  | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 |  | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 8 |  | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 9 |  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 10 |  | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

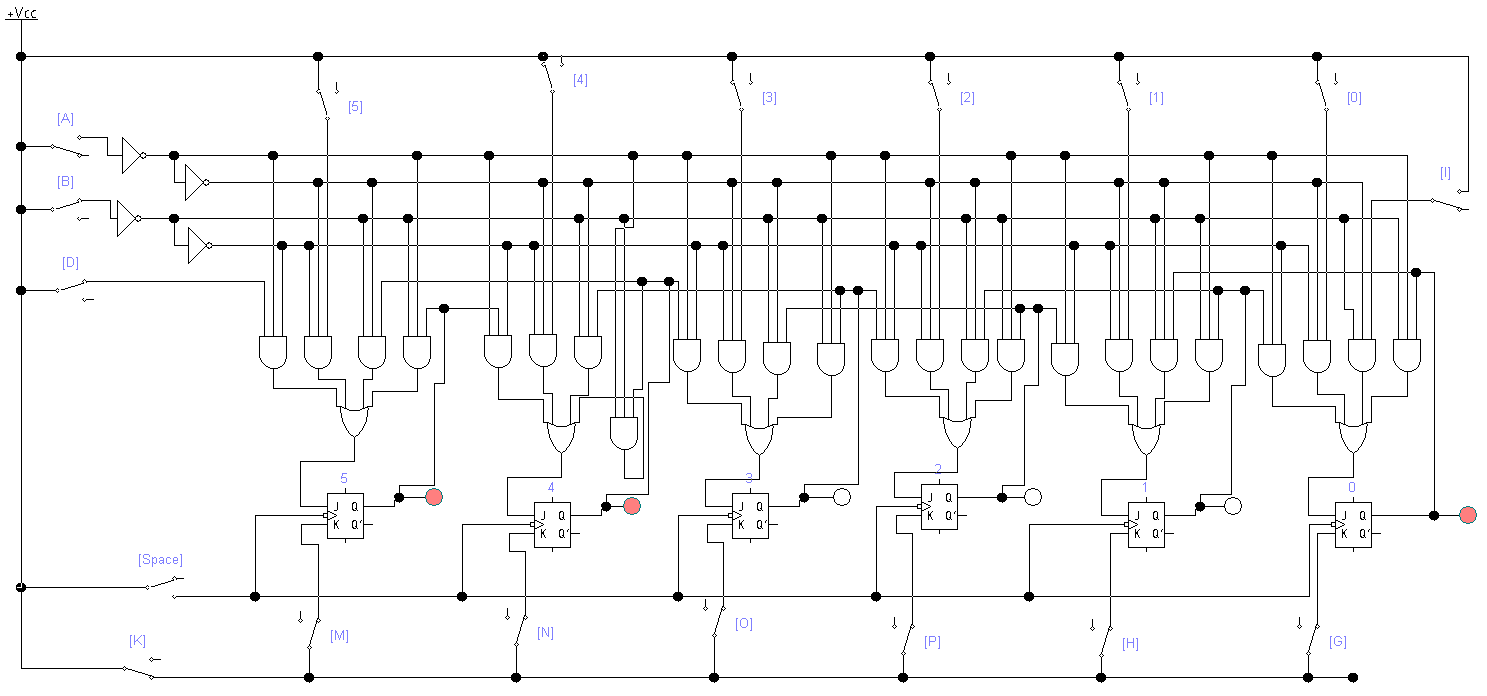
**Эксперимент № 5. Универсальный регистр шестого порядка** 

Рис. 5 Электрическая схема 6 порядка из D триггеров.

Таблица 5. Состояния универсального регистра в режиме последовательного прямого сдвига

A=0, B=1.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. п/п | Режим | Входы | | Выходы | | | | | |
| C | D | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 0 | Запись |  | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 |  | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 2 |  | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 3 |  | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 4 |  | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 5 |  | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 6 | Чтение |  | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 7 |  | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 8 |  | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 9 |  | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 10 |  | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Таблица 6. Состояния универсального регистра в параллельном режиме работы

A=1, B=1.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. | Вход | | | | | | | Выход | | | | | |
| C | 5 | 4 | 3 | 2 | 1 | 0 | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 3 |  | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Таблица 7. Состояния универсального регистра в режиме обратного смещения

A=1, B=0.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. п/п | Regimul | Вход | | Выход | | | | | |
| C | D | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 0 | Inscriere |  | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 |  | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 |  | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 |  | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 4 |  | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 5 |  | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 6 | Citire |  | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 |  | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 8 |  | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 9 |  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 10 |  | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

Таблица 8. Состояния универсального реестра в режиме обновления информации

A=0, B=0.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №. п/п | Состояние n | | | | | | | Состояние n+1 | | | | | |
| C | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 | Q5 | Q4 | Q3 | Q2 | Q1 | Q0 |
| 1 |  | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |

**Выводы:** В данной лабораторной работе я исследовал параллельные, последовательные и

универсальные регистры. Я сделал следующие выводы:

* **Параллельные Регистры**: эффективны для ситуаций, где требуется быстрая запись и чтение данных. Они обеспечивают одновременную обработку всех битов данных, что делает их идеальными для операций с высокой пропускной способностью. Однако, они требуют большего количества проводов для подключения, что увеличивает сложность схемы.
* **Последовательные Регистры**: производят операции с одним битом за раз. Это делает их более медленными, но они потребляют меньше ресурсов и легче в интеграции. Они подходят для приложений, где скорость не является критической, но важна экономия пространства и ресурсов.
* **Универсальные Регистры**: комбинируют функциональность как параллельных, так и последовательных регистров, предоставляя гибкость в выборе режима работы. Они подходят для сложных систем, где требуется адаптация к различным сценариям использования. Эта универсальность делает их подходящими для широкого спектра приложений.

В ходе исследования было установлено, что выбор типа регистра должен базироваться на требованиях конкретного приложения. Параллельные регистры идеально подходят для быстрых операций, последовательные – для экономии пространства и ресурсов, а универсальные регистры обеспечивают оптимальный баланс между скоростью и гибкостью.